

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-100831

(43)Date of publication of application : 07.04.2000

(51)Int.Cl.

H01L 21/338

H01L 29/812

(21)Application number : 10-268394

(71)Applicant : NEC CORP

(22)Date of filing : 22.09.1998

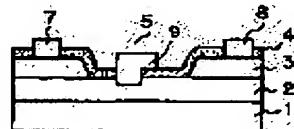
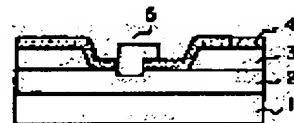
(72)Inventor : MIZUTA MASASHI  
 KUZUHARA MASAOKI  
 NASHIMOTO YASUNOBU  
 ASANO KAZUNORI  
 MIYOSHI YOSUKE  
 MOCHIZUKI YASUNORI

## (54) FIELD-EFFECT TRANSISTOR

## (57)Abstract:

PROBLEM TO BE SOLVED: To provide a field-effect transistor having properties of high pressure resistance, satisfactory gain, and high frequency.

SOLUTION: A dielectric film 4, which is made of a high dielectric material with a dielectric constant of 8 or higher, is provided between a field plate 9 and a channel layer 2. For example, tantalum oxide(Ta<sub>2</sub>O<sub>5</sub>) is adopted as the high dielectric material. With the material having such a high dielectric constant, it is possible to increase the thickness of the dielectric film while obtaining sufficient field-relaxation effect. Therefore, damage to the dielectric film and leakage current, that have been the conventional problems, are not likely to occur. Consequently, it is possible to effectively improve pressure resistance, while preventing reduction in gain.



## LEGAL STATUS

[Date of request for examination] 22.09.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the  
 examiner's decision of rejection or application converted  
 registration]

[Date of final disposal for application]

[Patent number] 3180776

[Date of registration] 20.04.2001

[Number of appeal against examiner's decision of  
 rejection]

[Date of requesting appeal against examiner's decision of  
 rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-100831

(P2000-100831A)

(43) 公開日 平成12年4月7日 (2000.4.7)

(51) Int.Cl.<sup>7</sup>

H 0 1 L 21/338  
29/812

識別記号

F I

H 0 1 L 29/80

テームコード (参考)

F 5 F 1 0 2

審査請求 有 請求項の数15 O L (全 13 頁)

(21) 出願番号 特願平10-268394

(22) 出願日 平成10年9月22日 (1998.9.22)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 水田 正志

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 葛原 正明

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100070219

弁理士 若林 忠 (外4名)

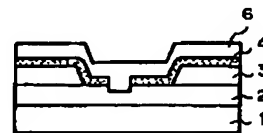
最終頁に続く

(54) 【発明の名称】 電界効果型トランジスタ

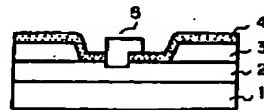
(57) 【要約】

【課題】 高い耐圧特性と、良好な利得特性および高周波特性を兼ね備えた電界効果型トランジスタを提供する。

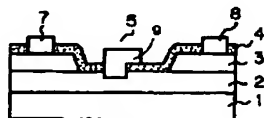
【解決手段】 フィールドプレート部9とチャンネル層2との間に、比誘電率8以上の高誘電体材料からなる誘電体膜4を設ける。高誘電体材料としてはたとえば酸化タングスタル ( $\text{Ta}_2\text{O}_5$ ) を用いる。



(a)



(b)



(c)

1 GeAs基板  
2 チャンネル層  
3 コンタクト層  
4 誘電体膜  
5 ゲート電極

6 ゲート金属膜  
7 ソース電極  
8 ドレイン電極  
9 フィールドプレート部

## 【特許請求の範囲】

【請求項1】 表面にチャンネル層が形成された半導体基板と、前記半導体基板上に離間して形成されたソース電極およびドレイン電極と、前記ソース電極と前記ドレイン電極との間に配置され、前記チャンネル層とショットキ接合したゲート電極とを有し、前記ゲート電極は底状のフィールドプレート部を備え、前記フィールドプレート部と前記チャンネル層との間に、比誘電率8以上の高誘電体材料からなる誘電体膜が設けられたことを特徴とする電界効果型トランジスタ。

【請求項2】 前記高誘電体材料は、酸化アルミニウム ( $Al_2O_3$ )、窒化アルミニウム、酸化タンタル ( $Ta_2O_5$ )、チタン酸ストロンチウム ( $SrTiO_3$ )、チタン酸バリウム ( $BaTiO_3$ )、チタン酸バリウム・ストロンチウム ( $Ba_xSr_{1-x}TiO_3$  ( $0 < x < 1$ ))、およびタンタル酸ビスマス・ストロンチウム ( $SrBi_2Ta_2O_9$ ) からなる群から選ばれるいずれかの材料であることを特徴とする請求項1に記載の電界効果型トランジスタ。

【請求項3】 前記チャンネル層の表面の少なくとも一部がシリコン酸化膜により覆われ、該シリコン酸化膜と前記フィールドプレート部との間に前記誘電体膜が設けられたことを特徴とする請求項1または2に記載の電界効果型トランジスタ。

【請求項4】 前記誘電体膜の厚みが、100nm以上1500nm以下であることを特徴とする請求項1乃至3いずれかに記載の電界効果型トランジスタ。

【請求項5】 表面にチャンネル層が形成された半導体基板と、前記半導体基板上に離間して形成されたソース電極およびドレイン電極と、前記ソース電極と前記ドレイン電極との間に配置され、前記チャンネル層とショットキ接合したゲート電極とを有し、前記ゲート電極は底状のフィールドプレート部を備え、前記フィールドプレート部と前記チャンネル層との間に誘電体膜が設けられ、該誘電体膜の比誘電率を $\epsilon$ 、膜厚を $t$ (nm)としたときに、下記(1)または(2)を満たすことを特徴とする電界効果型トランジスタ。

(1)  $1 < \epsilon < 5$ 、かつ、 $25 < t/\epsilon < 70$

(2)  $5 \leq \epsilon < 8$ 、かつ、 $100 < t < 350$

【請求項6】 前記誘電体膜は、前記フィールドプレート部の直下の領域にのみ形成されたことを特徴とする請求項1乃至5いずれかに記載の電界効果型トランジスタ。

【請求項7】 前記フィールドプレート部と、前記チャンネル層と、これらに挟まれた前記誘電体膜とで形成される単位面積あたりの静電容量は、ゲート電極から遠ざかるにつれて小さくなっていることを特徴とする請求項1乃至6いずれかに記載の電界効果型トランジスタ。

【請求項8】 前記フィールドプレート部直下の前記誘電体膜の厚みは、ゲート電極側がドレイン電極側よりも

薄いことを特徴とする請求項1乃至7いずれかに記載の電界効果型トランジスタ。

【請求項9】 前記フィールドプレート部に一または二以上の孔が形成されたことを特徴とする請求項1乃至8いずれかに記載の電界効果型トランジスタ。

【請求項10】 前記フィールドプレート部のドレイン電極側の端部が櫛歯形状を有することを特徴とする請求項1乃至9いずれかに記載の電界効果型トランジスタ。

【請求項11】 前記フィールドプレート部直下の前記誘電体膜の誘電率が、前記ゲート電極から遠ざかるにつれて低くなっていることを特徴とする請求項1乃至10いずれかに記載の電界効果型トランジスタ。

【請求項12】 前記フィールドプレート部の下にフロート電極が設けられたことを特徴とする請求項1乃至11いずれかに記載の電界効果型トランジスタ。

【請求項13】 前記ゲート電極と前記ドレイン電極との間に、前記チャンネル層の上部に誘電体膜を介して電界制御電極がさらに設けられたことを特徴とする請求項1乃至12いずれかに記載の電界効果型トランジスタ。

【請求項14】 前記ゲート電極と前記ソース電極との間に、前記チャンネル層の上部に誘電体膜を介してサブ電極がさらに設けられたことを特徴とする請求項1乃至13いずれかに記載の電界効果型トランジスタ。

【請求項15】 前記チャンネル層は、III-V族化合物半導体からなることを特徴とする請求項1乃至14いずれかに記載の電界効果型トランジスタ。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、移動通信、衛星通信、及び衛星放送等のマイクロ波領域で動作するショットキ・ゲート電界効果トランジスタに関する。

【0002】

【従来の技術】化合物半導体はSiに較べて大きな電子移動度を有しており、例えばGaAsの電子速度はSiに比較して低電界では約6倍、高電界では2～3倍大きい。この電子の高速性を利用して、高速デジタル回路素子あるいは高周波アナログ回路素子としての応用が進んでいる。

【0003】しかし、化合物半導体を用いた電界効果型トランジスタは、ゲート電極が基板のチャンネル層とショットキ接合しているため、ゲート電極のドレイン側の下端(図14囲み部)に電界が集中し、破壊の原因となることがあった。このことは、大信号動作を必要とする高出力電界効果型トランジスタの場合、特に大きな問題となる。

【0004】そこで、このゲート電極のドレイン側エッジ部の電界集中を防止し、耐圧特性の向上を図る試みが従来から検討されていた。

【0005】そのひとつに、ゲート電極に底部(以下、適宜、フィールドプレート部という)を設け、この下に

SiO<sub>2</sub>からなる誘電体膜を形成する試みがある。図12は特開昭63-87773号公報に開示された電界効果型トランジスタの概略構造であり、ゲート電極33の下のドレイン側の部分に誘電体膜34が埋め込まれた構成となっている。このような誘電体膜を設けることによって、ゲート電極33のドレイン側エッジに生じる電界の集中が抑えられるとされている。

【0006】

【発明が解決しようとする課題】しかしながら上記従来技術では、充分な電界緩和効果を得るためには誘電体膜を薄くしなければならず、これによりフィールドプレート部、チャネル層、およびこれらに挟まれた誘電体膜で形成される静電容量の値を大きくする必要があった。ところが誘電体膜の膜厚を薄くした場合、誘電体膜が破壊したり電流リークが発生するなどの問題があった。

【0007】また、誘電体膜を薄くすることにも一定の限界があるため、静電容量の値の上限も自ずと存在する。このため、充分な電界緩和効果を生じさせるためには、フィールドプレート部の長さを一定以上、例えばゲート長程度にとる必要があり、利得特性の低下が問題となる。さらにこの場合、高周波特性が著しく低下し、使用用途によってはこれが大きな問題となる。

【0008】本発明は、上記従来技術の有する課題を解決し、高い耐圧特性と、良好な利得特性、さらには良好な高周波特性を兼ね備えた電界効果型トランジスタを提供することを目的とする。

【0009】

【課題を解決するための手段】上記課題を解決する本発明によれば、表面にチャネル層が形成された半導体基板と、前記半導体基板上に離間して形成されたソース電極およびドレイン電極と、前記ソース電極と前記ドレイン電極との間に配置され、前記チャネル層とショットキ接合したゲート電極とを有し、前記ゲート電極は底状のフィールドプレート部を備え、前記フィールドプレート部と前記チャネル層との間に、比誘電率8以上の高誘電体材料からなる誘電体膜が設けられたことを特徴とする電界効果型トランジスタ、が提供される。

【0010】本発明の電界効果型トランジスタは、フィールドプレート部とチャネル層との間に誘電体膜が設けられているため、ゲート電極のドレイン側エッジ部に発生する電界集中が分散・緩和され、耐圧特性が向上する。フィールドプレート部と、チャネル層と、これらに挟まれた誘電体膜とで形成される静電容量が、イオン化したドナーを起点とする電気力線を終端させる作用を有するからである。

【0011】本発明の電界効果型トランジスタは、フィールドプレート部とチャネル層との間に設ける誘電体膜の材料として、比誘電率8以上の材料を用いている。このため、誘電体膜を厚くしても高い静電容量の値が得られ、充分な電界緩和効果が得られる。たとえば従来技術

において用いられていたSiO<sub>2</sub>膜と比較して、一定の静電容量を得るための膜厚を従来の2倍程度とすることができる。

【0012】以上のように、本発明においては、誘電体膜の厚みを従来よりも厚くすることができるため、誘電体膜の破壊、電流リークの発生を防止し、素子の耐圧特性を向上させることができる。

【0013】また、上記のように高い誘電率を有する誘電体膜を設けているため、フィールドプレート部の長さをあまり長くしなくても充分な電界緩和効果を得ることができる。例えばフィールドプレート部の長さをゲート長よりも短い長さとすることもできる。このため、利得特性の低下を抑えつつ高い耐圧特性を得ることができる。

【0014】また本発明によれば、表面にチャネル層が形成された半導体基板と、前記半導体基板上に離間して形成されたソース電極およびドレイン電極と、前記ソース電極と前記ドレイン電極との間に配置され、前記チャネル層とショットキ接合したゲート電極とを有し、前記ゲート電極は底状のフィールドプレート部を備え、前記フィールドプレート部と前記チャネル層との間に誘電体膜が設けられ、該誘電体膜の比誘電率を $\epsilon$ 、膜厚を $t$ (nm)としたときに、下記(1)または(2)を満たすことを特徴とする電界効果型トランジスタが提供される。

(1)  $1 < \epsilon < 5$ 、かつ、 $25 < t/\epsilon < 70$

(2)  $5 \leq \epsilon < 8$ 、かつ、 $100 < t < 350$

従来技術においては、充分な電界緩和効果を得ることと、フィールドプレート部直下の誘電体膜の破壊・電流リークを防止することを両立させることが困難であった。この点、本発明においては、誘電体膜の比誘電率と膜厚に着目し、両者の関係を規定することで、かかる課題の解決を図っている。

【0015】 $1 < \epsilon < 5$ を満たす場合において、 $t/\epsilon$ が25未満であると誘電体膜の破壊・電流リークが発生する。一方、 $t/\epsilon$ が70を超えると充分な電界緩和効果が得られない。なお、比誘電率および膜厚は、フィールドプレート部直下の誘電体膜の比誘電率および膜厚の平均値をいう。ここで、フィールドプレート部直下に異種材料からなる複数の誘電体膜を設けた場合は、 $t/\epsilon$ の値として、下記式で示される換算値 $(t/\epsilon)_{\text{eq}}$ を用いる。

$$(t/\epsilon)_{\text{eq}} = t_1/\epsilon_1 + t_2/\epsilon_2 + \dots + t_n/\epsilon_n$$

( $n$ は2以上の整数)

また、 $5 \leq \epsilon < 8$ を満たす場合において、 $t$ が100未満であると誘電体膜の破壊・電流リークが発生する。一方、 $t$ が350を超えると充分な電界緩和効果が得られない。なお、膜厚は、フィールドプレート部直下の誘電体膜の膜厚の平均値をいう。

【0016】

【発明の実施の形態】本発明において、高誘電体材料は、酸化アルミニウム ( $Al_2O_3$ )、窒化アルミニウム、酸化タンタル ( $Ta_2O_5$ )、チタン酸ストロンチウム ( $SrTiO_3$ )、チタン酸バリウム ( $BaTiO_3$ )、チタン酸バリウム・ストロンチウム ( $Ba_{1-x}Sr_xTiO_3$  ( $0 < x < 1$ ))、およびタンタル酸ビスマズ・ストロンチウム ( $SrBi_2Ta_2O_9$ ) からなる群から選ばれるいずれかの材料であることが好ましい。上記材料は、成膜性が良好な上、8以上の高い比誘電率を有しゲート電極下の領域において高い静電容量を実現することができるからである。

【0017】本発明において、誘電体膜はフィールドプレート部の直下の領域にのみ形成されることが好ましい。たとえば図3(d)のように、ゲート電極5直下に誘電体膜4が設けられ、ソース電極7・ドレイン電極8間の他の領域には誘電体膜が設けられていないことが好ましい。ゲート・ドレイン間における不要な容量の増加を避け、利得の低下を防止できるからである。

【0018】上記のように、誘電体膜をフィールドプレート部の直下の領域にのみ形成した場合、チャネル層の表面の一部または全部がシリコン酸化膜により覆われ、このシリコン酸化膜とフィールドプレート部との間に誘電体膜が設けられた構成とすることが好ましい。このようにすることによって、チャネル層がシリコン酸化膜を介して上部の半導体層と接触することとなり、界面特性の悪化によるデバイス特性の劣化を防止することができる。

【0019】本発明におけるフィールドプレート部の幅は、好ましくは0.1  $\mu m$ 以上、さらに好ましくは0.1  $\mu m$ 以上2  $\mu m$ 以下とする。フィールドプレート部の幅の値が小さすぎると十分な耐圧特性が得られない場合がある。一方、フィールドプレート部の幅の値が大きすぎると利得特性、高周波特性が低下することがある。

【0020】本発明において、誘電体膜に高誘電体材料を用いた場合、誘電体膜の厚みの平均値は、好ましくは100~1500 nm、さらに好ましくは300~1000 nmである。誘電体膜を厚くしすぎると、電界緩和効果が小さくなることがある。一方、誘電体膜を薄くしすぎると絶縁膜の破壊や電流リークが発生することがある。誘電体膜の誘電率の値に応じ、上記範囲から適宜な値を選択することが好ましい。なお、誘電体膜を多層構造とする場合は、各層の厚みの和が上記範囲内であることが好ましい。

【0021】本発明の電界効果型トランジスタにおいて、フィールドプレート部と、チャネル層と、これらに挟まれた絶縁膜とで形成される単位面積あたりの静電容量は、ゲート電極側がドレイン電極側よりも大きくなっていることが好ましい。このようにすることによって、フィールドプレート部による電界緩和作用をドレイン側において緩やかにし、理想的な電界分布とすることがで

きる。このような構成をとった場合、特に、高周波特性の低下を効果的に抑制することができる。

【0022】ここで、上記静電容量の大きさは式(1)のように表される。

$$C = \epsilon S / d \quad (1)$$

(C:容量  $\epsilon$ :誘電率 S:電極面積 d:電極間距離)

したがって、上述の電界効果型トランジスタの構成として、ゲート電極から遠ざかるにつれて、電極間距離d、電極面積S、または誘電率 $\epsilon$ のいずれかを变化させた構成が考えられる。具体的には以下のものが挙げられる。

【0023】①フィールドプレート部直下の絶縁膜の厚みは、ゲート電極側がドレイン電極側よりも薄くなっている電界効果型トランジスタ。この構成は、電極間距離dを变化させることにより単位面積あたりの静電容量の値を变化させたものである。

【0024】②フィールドプレート部に一または二以上の孔が形成されている電界効果型トランジスタ。この構成は、電極面積Sを变化させることにより単位面積あたりの静電容量の値を变化させたものである。このような構造のフィールドプレート部の例を図10(c)に示す。図のように、孔はフィールドプレート部のドレイン電極側の部分に設けられることが好ましい。なお、「孔」とはフィールドプレート部を貫通する穴をいい、いかなる形状であってもよい。

【0025】③フィールドプレート部のドレイン電極側の端部が櫛歯形状を有する電界効果型トランジスタ。この構成は、電極面積Sを变化させることにより単位面積あたりの静電容量の値を变化させたものである。ここで、櫛歯形状とはフィールドプレート部の縁の部分が、例えば図10(a)、(b)のように入り組んだ形状となっていることをいう。ただし図面に示した例に限定されるものではなく、電極の実質面積がドレイン電極側で狭くなるように縁の部分が入り組んだ形状となっていればよい。

【0026】④フィールドプレート部直下の絶縁膜の誘電率が、ゲート電極側から遠ざかるにつれて低くなっている電界効果型トランジスタ。この構成は、誘電率 $\epsilon$ を变化させることにより単位面積あたりの静電容量の値を变化させたものである。

【0027】本発明の電界効果型トランジスタにおいて、フィールドプレート部の下にフロート電極を設けることもできる。これにより、フィールドプレート部に対する印加をオフにしたときでもフロート電極に電子が保持され、ゲート電極のドレイン側エッジ部の電界集中が分散・緩和される。フロート電極の材質は、タングステンシリサイド(WSi)、アルミニウム、金、チタン/白金/金などを用いることができ、たとえば、全面に金属膜を蒸着した後、フォトレジストをマスクとしてイオンミリングにより不要箇所を除去するという方法により

形成することができる。

【0028】本発明の電界効果型トランジスタにおいて、前記ゲート電極と前記ドレイン電極との間に、前記チャンネル層の上部に誘電体膜を介して電界制御電極を設けてもよい。電界制御電極は、イオン化したドナーを起点とする電気力線を終端させる作用を有し、ゲート電極のドレイン側エッジ部に発生する電界集中を分散・緩和し、耐圧特性を向上させる。このため、フィールドプレート部による電界緩和効果との相乗効果が得られ、耐圧特性がさらに改善される。また、フィールドプレート部直下の誘電体膜と、電界制御電極の両方を設けた場合、ゲート電極-ドレイン電極間に理想的な電界分布を形成することができ、利得特性や高周波特性の低下を最小限に抑えながら耐圧特性の向上を図ることができる。

【0029】電界制御電極に用いられる高誘電体材料は、比誘電率8以上の高誘電体材料であることが好ましい。たとえば、酸化アルミニウム( $Al_2O_3$ )、窒化アルミニウム、酸化タンタル( $Ta_2O_5$ )、チタン酸ストロンチウム( $SrTiO_3$ )、チタン酸バリウム( $BaTiO_3$ )、チタン酸バリウム・ストロンチウム( $Ba_{1-x}Sr_xTiO_3$  ( $0 < x < 1$ ))、およびタンタル酸ビスマス・ストロンチウム( $SrBi_2Ta_2O_9$ )からなる群から選ばれるいずれかの材料が好ましく用いられる。また、誘電体膜の比誘電率を $\epsilon$ 、膜厚を $t$ としたときに、下記(1)または(2)を満たす材料を用いることもできる。

(1)  $1 < \epsilon \leq 5$ 、かつ、 $25 < t/\epsilon < 70$

(2)  $5 \leq \epsilon < 8$ 、かつ、 $100 < t < 350$

【0030】電界制御電極の材質は、タングステンシリサイド(WSi)、アルミニウム、金、チタン/白金/金などを用いることができ、たとえば、全面に金属膜を蒸着した後、フォトリジストをマスクとしてイオンミリングにより不要箇所を除去するという方法により形成することができる。

【0031】電界制御電極は、ゲート電極と接続され同電位に保たれることが好ましいが、ゲート電極と異なる独立の電位がかけられていてもよい。特に、電界制御電極に印加される電圧を適宜調整することによって理想的な電界分布を形成し、利得特性、高周波特性を良好に保ちつつゲート電極直下の電界集中を防止し、耐圧特性を高めることができる。

【0032】また本発明の電界効果型トランジスタにおいて、ソース電極と前記ゲート電極との間に、前記チャンネル層の上部に誘電体膜を介してサブ電極をさらに設けてもよい。これによりサブ電極直下の領域を低抵抗化し、素子の高効率化を図ることができる。

【0033】サブ電極は電極の材質は、タングステンシリサイド(WSi)、アルミニウム、金、チタン/白金/金などを用いることができ、たとえば、全面に金属膜を蒸着した後、フォトリジストをマスクとしてイオンミ

リングにより不要箇所を除去するという方法により形成することができる。サブ電極はたとえばドレイン電極と接続し、プラスの電圧を印加する。これによりサブ電極直下の領域が低抵抗となって電流が流れやすくなり、素子の高効率化を図ることができる。

【0034】本発明の電界効果型トランジスタにおいて、ゲート電極とドレイン電極との間の距離は、ゲート電極とソース電極との間の距離よりも長いことが好ましい。いわゆるオフセット構造と呼ばれるものであり、ゲート電極のドレイン側エッジ部の電界集中をより効果的に分散・緩和することができる。またフィールドプレート部を形成しやすくなるという製造上の利点もある。また本発明の電界効果型トランジスタは、リセス構造を有することが好ましい。このようにすることによってゲート電極のドレイン側エッジ部の電界集中をより効果的に分散・緩和することができる。なおリセス構造とする場合、多段リセスとすることもできる。

【0035】本発明の電界効果型トランジスタにおいて、基板やチャンネル層の構成材料として、GaAsをはじめとするIII-V族化合物半導体を用いることができる。III-V族化合物半導体には、GaAs、AlGaAs、InP、GaInAsPなどがある。III-V族化合物半導体からなる材料を用いることで、高速かつ高出力の電界効果型トランジスタが実現される。

【0036】

【実施例】(実施例1)本実施例の電界効果型トランジスタは、図2(g)に示すように、ゲート電極が底状のフィールドプレート部9を備え、このフィールドプレート部9とチャンネル層との間に、 $Ta_2O_5$ からなる誘電体膜4が形成されている。

【0037】以下、図1、2を参照して、本実施例の電界効果型トランジスタの製造方法について説明する。

【0038】まず、半絶縁性のGaAs基板1上にMBE法により、Siを $2 \times 10^{17} \text{ cm}^{-3}$ ドープしたN型GaAsチャンネル層2(厚さ230nm)、およびSiを $5 \times 10^{17} \text{ cm}^{-3}$ ドープしたN型GaAsコンタクト層3(厚さ150nm)を成長させる(図1(a))。

【0039】つぎにレジスト(図示せず)をマスクとして硫酸系または磷酸系の水溶液を用いてチャンネル層2、コンタクト層3をウェットエッチングし、リセスを形成する(図1(b))。

【0040】つづいてCVD法により厚さ300nmの $Ta_2O_5$ からなる誘電体膜4を全面に堆積する(図1(c))。この誘電体膜4の上にレジスト(不図示)を形成し、これをマスクとしてゲート電極形成箇所の誘電体膜4をCHF<sub>3</sub>またはSF<sub>6</sub>を用いてドライエッチングする。次いで誘電体膜4をマスクとして電極形成箇所のチャンネル層2を30nm程度エッチングする(図1(d))。

【0041】次に、全面に100nmのWSi膜、50

nmのTiN膜、15nmのPt膜、400nmのAu膜をこの順でスパッタ蒸着し、ゲート金属膜6を形成する(図2(e))。その後、ゲート電極形成箇所のみフォトリソを設け、イオンミリングにより不要箇所を除去してゲート電極5を形成する(図2(f))。

【0042】つづいて誘電体膜4の所定箇所をエッチングしてコンタクト層3を露出させ、8nmのNi膜、50nmのAuGe膜、250nmのAu膜をこの順で真空蒸着し、ソース電極7とドレイン電極8とを形成し、電界効果型トランジスタを完成する(図2(g))。

【0043】本実施例の電界効果型トランジスタは、フィールドプレート部とチャンネル層との間の誘電体膜4の材料として $Ta_2O_5$  (比誘電率約20)を用いているため、充分な電界緩和効果を得ながら誘電体膜4の膜厚を厚くすることができる。このため従来技術で問題となっていた誘電体膜の破壊や電流リークの発生が起これにくい。

【0044】本実施例では誘電体膜4の材料として $Ta_2O_5$ を用いているが、他に窒化シリコン( $Si_3N_4$ )、酸化アルミニウム( $Al_2O_3$ )、チタン酸ストロンチウム( $SrTiO_3$ )、チタン酸バリウム( $BaTiO_3$ )、チタン酸バリウム・ストロンチウム( $Ba_xSr_{1-x}TiO_3$  ( $0 < x < 1$ ))、またはタンタル酸ビスマス・ストロンチウム( $SrBi_2Ta_2O_9$ )を用いることができる。このとき、膜厚は選択した材料の誘電率に応じて適宜な値に設定する。たとえば酸化アルミニウム( $Al_2O_3$ )を用いる場合は、150~300nmとする。

【0045】なお、本実施例ではチャンネル層2、コンタクト層3をMBE法により形成しているが、MOCVD法により形成することもできる。

【0046】(実施例2) 本実施例の電界効果型トランジスタは、図3(d)のように、フィールドプレート部の直下の領域にのみ $Ta_2O_5$ からなる誘電体膜4が形成されている。以下、図3を参照して本実施例の電界効果型トランジスタの製造方法について説明する。

【0047】まず実施例1と同様にして、半絶縁性GaAs基板1上に、N型GaAsチャンネル層2、N型GaAsコンタクト層3、誘電体膜4、およびゲート金属膜6を積層した構造を形成する(図3(a))。次にゲート電極形成箇所のみフォトリソを設け、イオンミリングにより不要箇所を除去してゲート電極5を形成する(図3(b))。つづいてゲート電極5の形成された箇所以外の領域の誘電体膜4をエッチングにより除去する(図3(c))。その後、8nmのNi膜、50nmのAuGe膜、250nmのAu膜をこの順で真空蒸着し、ソース電極7とドレイン電極8とを形成し、電界効果型トランジスタを完成する(図3(d))。

【0048】本実施例の電界効果型トランジスタは、フィールドプレート部の直下の領域にのみ $Ta_2O_5$ からな

る誘電体膜4が形成されているため、高い耐圧特性を有しながら良好な利得特性が得られる。

【0049】(実施例3) 本実施例の電界効果型トランジスタは、図5(e)のように、フィールドプレート部の直下の領域に段差状の $Ta_2O_5$ からなる誘電体膜4が形成されている。

【0050】以下、図4、5を参照して、本実施例の電界効果型トランジスタの製造方法について説明する。

【0051】まず実施例1と同様にして、半絶縁性GaAs基板1上に、N型GaAsチャンネル層2、N型GaAsコンタクト層3を形成する。次に、 $Ta_2O_5$ からなる誘電体膜4を形成する(図4(a))。誘電体膜4の膜厚は、300nmとする。

【0052】つづいてゲート電極形成箇所以外の領域にフォトリソ(不図示)を設け、誘電体膜4をドライエッチングする(図4(b))。フォトリソを剥離後、これよりも開口部の幅を広くして再びフォトリソ(不図示)を設け、誘電体膜4をドライエッチングする(図4(c))。これにより、ゲート電極形成箇所に段差部分が形成される。

【0053】次に、全面に100nmのWSi膜、50nmのTiN膜、15nmのPt膜、400nmのAu膜をこの順でスパッタ蒸着し、ゲート金属膜6を形成した後、不要箇所を除去してゲート電極5を形成する(図5(d))。

【0054】次にゲート電極形成箇所以外の領域に形成された誘電体膜4をエッチングにより除去する。つづいて8nmのNi膜、50nmのAuGe膜、250nmのAu膜をこの順で真空蒸着し、ソース電極7とドレイン電極8とを形成し、電界効果型トランジスタを完成する(図5(e))。フィールドプレート部下の段差部における誘電体膜4の膜厚は、図中左側の薄膜部では150nm、右側の厚膜部では300nmである。

【0055】本実施例によれば、フィールドプレート部直下の領域に段差状の $Ta_2O_5$ からなる誘電体膜が形成されているため、高い耐圧特性を有するとともに、さらに良好な高周波特性を有する電界効果型トランジスタが得られる。

【0056】(実施例4) 本実施例の電界効果型トランジスタは、図7に示すように、ゲート電極が底状のフィールドプレート部を備え、このフィールドプレート部とチャンネル層2との間に、2種類の誘電体膜4a、4bが形成された構造を有している。誘電体膜4bは誘電体膜4aよりも比誘電率が低く、フィールドプレート部直下の領域では、ゲート電極5からドレイン電極8に向かって、誘電体膜の比誘電率(平均値)が下がるとともに厚みが増加している。このため、フィールドプレート部とチャンネル層2、およびこれらに挟まれた第一の誘電体膜4a、第二の誘電体膜4bにより形成される容量は、ドレイン電極8に向かうにつれて徐々に小さくなってい



る。以下、図6、7を参照して本実施例の電界効果型トランジスタの製造方法について説明する。

【0057】まず実施例1と同様にして、半絶縁性GaAs基板1上に、N型GaAsチャネル層2、N型GaAsコンタクト層3、第一の誘電体膜4a、およびゲート金属膜6を積層した構造を形成し、ゲート金属膜6不要箇所をイオンミリングにより除去してゲート電極5を形成する(図6(a))。第一の誘電体膜4aの材料は、 $Ta_2O_5$ とし、膜厚を150nmとする。

【0058】次に全面に第二の誘電体膜4bを堆積する(図6(b))。第二の誘電体膜4bの材料は、 $Si_3N_4$ とし、膜厚を150nmとする。

【0059】つづいて全面をドライエッチングし、ゲート電極5上面の第二の誘電体膜4bを実質的に完全に除去する(図6(c))。

【0060】次に、全面に50nmのTiN膜、15nmのPt膜、400nmのAu膜をこの順でスパッタ蒸着し、再度ゲート金属膜6を形成した後、イオンミリングにより不要箇所を除去してゲート電極5を形成する(図6(d))。

【0061】次にゲート電極を形成箇所以外の領域の第一および第二の誘電体膜4a、4bをエッチングにより除去する。その後、8nmのNi膜、50nmのAuGe膜、250nmのAu膜をこの順で真空蒸着し、ソース電極7とドレイン電極8とを形成し、電界効果型トランジスタを完成する(図7)。

【0062】本実施例の電界効果型トランジスタは、フィールドプレート部の直下の領域に $Ta_2O_5$ 、および $Si_3N_4$ からなる誘電体膜が形成されているため、高い耐圧特性を有しながら良好な利得特性が得られる。

【0063】また本実施例の電界効果型トランジスタは、フィールドプレート部直下の箇所に形成される容量が、ドレイン電極8に向かうにつれて徐々に小さくなる構造を有している。このため、フィールドプレート部による電界緩和作用をドレイン側において緩やかにし、理想的な電界分布とすることができる。このため、高い耐圧特性を有するとともに、さらに良好な高周波特性を有する電界効果型トランジスタが得られる。

【0064】(実施例5) 本実施例の電界効果型トランジスタは、図9(f)に示すように、底状のフィールドプレート部とチャネル層2との間に、2種類の誘電体膜4a、4bが形成された構造を有している。フィールドプレート部直下の領域において、ゲート電極5からドレイン電極8に向かうにつれて平均誘電率が下がっていく。このためフィールドプレート部とチャネル層2により形成される容量が徐々に小さくなっていく。以下、図8、9を参照して本実施例の電界効果型トランジスタの製造方法について説明する。

【0065】まず実施例1と同様にして、半絶縁性GaAs基板1上に、N型GaAsチャネル層2、N型Ga

Asコンタクト層3、第一の誘電体膜4a、およびゲート金属膜6を積層した構造を形成する。次いでゲート金属膜を全面に堆積した後、不要箇所をイオンミリングにより除去してゲート電極5を形成する(図8(a))。

【0066】次に全面に第一および第二の誘電体膜4a、4bを堆積する(図8(b))。第一の誘電体膜4aの材料は $Ta_2O_5$ とし、膜厚を150nmとする。また、第二の誘電体膜4bの材料は $Si_3N_4$ とし、膜厚を150nmとする。

【0067】つづいてゲート電極形成箇所のみを開口してフォトリソを形成した(図8(c))。これをマスクとしてドライエッチングし、ゲート電極5上面の第二の誘電体膜4bを実質的に完全に除去する(図8(d))。

【0068】次に、全面に50nmのTiN膜、15nmのPt膜、400nmのAu膜をこの順でスパッタ蒸着し、再度ゲート金属膜6を形成した後、イオンミリングにより不要箇所を除去してゲート電極5を形成する(図9(e))。

【0069】次にゲート電極形成箇所以外の領域に形成された第一および第二の誘電体膜4a、4bをエッチングにより除去する。その後、8nmのNi膜、50nmのAuGe膜、250nmのAu膜をこの順で真空蒸着し、ソース電極7とドレイン電極8とを形成し、電界効果型トランジスタを完成する(図9(f))。

【0070】本実施例の電界効果型トランジスタは、フィールドプレート部の直下の領域に $Ta_2O_5$ 、および $Si_3N_4$ からなる誘電体膜が形成されているため、高い耐圧特性を有しながら良好な利得特性が得られる。

【0071】また本実施例の電界効果型トランジスタは、フィールドプレート部直下の箇所に形成される容量が、ドレイン電極8に向かうにつれて徐々に小さくなる構造を有している。このため、フィールドプレート部による電界緩和作用をドレイン側において緩やかにし、理想的な電界分布とすることができる。このため、高周波特性の低下を最小限に抑えつつ、耐圧特性を向上させることができる。

【0072】(実施例6) 本実施例は、図10のようにゲート電極5を種々の形状としたものである。図10

(a)および(b)は、ゲート電極5のドレイン側の端部を櫛歯形状としたものであり、(c)は、ゲート電極5のドレイン側の部分に複数の孔を設けたものである。いずれの形状も、式(1)

$$C = \epsilon S / d \quad (1)$$

(C:容量  $\epsilon$ :誘電率 S:電極面積 d:電極間距離)において、ドレイン側の電極面積Sを小さくすることで、ゲート電極5直下の単位面積当たりの静電容量が、ゲート側よりもドレイン側の方が小さくなるようにしたものである。このようにすることによって、フィールドプレート部による電界緩和作用をドレイン側におい



て緩やかにし、理想的な電界分布とすることができる。このため、高周波特性の低下を最小限に抑えつつ、耐圧特性を向上させることができる。

【0073】なおゲート電極を図10に示すような種々の形状とする加工は、周知のエッチング技術等を用いて行うことができる。

【0074】(実施例7)本実施例の電界効果型トランジスタは、図11(a)のように、ドレイン電極8とゲート電極5の間に電界制御電極11を備えている。これにより耐圧特性がさらに改善される。

【0075】この電界効果型トランジスタは、実施例2と同様の工程によりフィールドプレート部直下に誘電体膜4を有するゲート電極5を形成後、電界制御電極11を形成することによって得られる。電界制御電極11は、まず全面に50nmのTi膜、30nmのPt膜、200nmのAu膜をこの順で真空蒸着した後、イオンミリングにより不要箇所を除去することにより形成する。

【0076】(実施例8)本実施例の電界効果型トランジスタは、図11(b)のように、ソース電極7とゲート電極5の間にサブ電極12を備えている。

【0077】この電界効果型トランジスタは、実施例2と同様の工程によりフィールドプレート部直下に誘電体膜4を有するゲート電極5を形成後、サブ電極12を形成することによって得られる。サブ電極12は、まず全面に50nmのTi膜、30nmのPt膜、200nmのAu膜をこの順で真空蒸着した後、イオンミリングにより不要箇所を除去することにより形成する。

【0078】サブ電極12は、たとえばドレイン電極8と接続し、プラスの電圧を印加する。これによりサブ電極12直下の領域は低抵抗となって電流が流れやすくなり、素子の高効率化を図ることができる。

【0079】(実施例9)本実施例の電界効果型トランジスタは、図13のように、フィールドプレート部9の下にフロート電極13を備えている。

【0080】この電界効果型トランジスタは、実施例1における図1(c)の工程まで同様に行った後(図1の誘電体膜aが図13の誘電体膜aに相当する。)、フロート電極13を構成する金属材料および誘電体膜bを堆積し、ゲート電極形成箇所をエッチングした後、全面にゲート金属膜6を形成する。その後の工程は実施例1における図2(e)以降と同様の工程を行うことにより、図13のような構造の電界効果型トランジスタを得ることができる。フロート電極を構成する材料は、たとえばタングステンシリサイド(WSi)、アルミニウム、金、チタン/白金/金などを用いる。

【0081】本実施例の電界効果型トランジスタは上記のようにフロート電極を備えているため、フィールドプレート部に対する印加をオフにしたときでもフロート電極に電子が保持され、ゲート電極のドレイン側エッジ部

の電界集中が分散・緩和される。

【0082】(実施例10)本実施例の電界効果型トランジスタは、図16(g)に示すように、ゲート電極が底状のフィールドプレート部9を備え、このフィールドプレート部9とチャンネル層との間に、SiO<sub>2</sub>からなる誘電体膜4'が形成されている。

【0083】以下、図15、16を参照して、本実施例の電界効果型トランジスタの製造方法について説明する。

10 【0084】まず、半絶縁性のGaAs基板1上にMBE法により、Siを $2 \times 10^{17} \text{ cm}^{-3}$ ドープしたN型GaAsチャンネル層2(厚さ230nm)、およびSiを $5 \times 10^{17} \text{ cm}^{-3}$ ドープしたN型GaAsコンタクト層3(厚さ150nm)を成長させる(図15(a))。

【0085】つぎにレジスト(図示せず)をマスクとして硫酸系または磷酸系の水溶液を用いてチャンネル層2、コンタクト層3をウェットエッチングし、リセスを形成する(図15(b))。

20 【0086】つづいてCVD法により厚さ150nmのSiO<sub>2</sub>からなる誘電体膜4'を全面に堆積する(図15(c))。この誘電体膜4'の上にレジスト(不図示)を形成し、これをマスクとしてゲート電極形成箇所の誘電体膜4'をCHF<sub>3</sub>またはSF<sub>6</sub>を用いてドライエッチングする。次いで誘電体膜4'をマスクとして電極形成箇所のチャンネル層2を30nm程度エッチングする(図15(d))。

30 【0087】次に、全面に100nmのWSi膜、50nmのTiN膜、15nmのPt膜、400nmのAu膜をこの順でスパッタ蒸着し、ゲート金属膜6を形成する(図16(e))。その後、ゲート電極形成箇所にのみフォトリソを設け、イオンミリングにより不要箇所を除去してゲート電極5を形成する(図16(f))。

【0088】つづいて誘電体膜4'の所定箇所をエッチングしてコンタクト層3を露出させ、8nmのNi膜、50nmのAuGe膜、250nmのAu膜をこの順で真空蒸着し、ソース電極7とドレイン電極8とを形成し、電界効果型トランジスタを完成する(図16(g))。

40 【0089】本実施例の電界効果型トランジスタは、フィールドプレート部とチャンネル層との間の誘電体膜4'の材料としてSiO<sub>2</sub>を用いている。SiO<sub>2</sub>の比誘電率は3.9程度であり、誘電体膜4'の膜厚は150nmである。したがって $t/\epsilon$ の値は約38であり、下記式(1)および(2)を満たす。

$$(1) \quad 1 < \epsilon < 5$$

$$(2) \quad 25 < t/\epsilon < 70$$

本実施例の電界効果型トランジスタは、上記条件を満たす誘電体膜4'を有しているため、良好な耐圧特性を示し、かつ、誘電体膜の破壊や電流リークの発生が起こり

にくい。

【0090】(実施例11)誘電体膜4'の材料としてSiN膜を用い、その膜厚を200nmとしたこと以外は、実施例10と同様にして電界効果型トランジスタを完成する(図16(g))。

【0091】SiNの比誘電率は7程度であり、誘電体膜4'の膜厚は200nmであるから、本実施例の電界効果型トランジスタは下記式(1)および(2)を満たす。

$$(1) 5 \leq \varepsilon < 8$$

$$(2) 100 < t < 350$$

このため本実施例の電界効果型トランジスタは良好な耐圧特性を示し、かつ、誘電体膜の破壊や電流リークの発生が起りにくい。

【0092】

【発明の効果】以上説明したように、本発明の電界効果型トランジスタは、ゲート電極のフィールドプレート部とチャネル層との間に、比誘電率8以上の誘電体膜が形成されている。このような高い誘電率を有する材料を用いているため、十分な電界緩和効果を得ながら誘電体膜の膜厚を厚くすることができる。このため従来技術で問題となっていた誘電体膜の破壊や電流リークの発生が起りにくい。このため利得特性の低下を抑えながら耐圧特性を効果的に改善することができる。

【0093】また、本発明の電界効果型トランジスタは、誘電体膜の材料として、比誘電率および誘電体膜の膜厚の間に一定の関係を有するものを用いているため、利得特性の低下を抑えながら耐圧特性を効果的に改善することができる。

【0094】また、フィールドプレート部、チャネル層、およびこれらに挟まれた誘電体膜とで形成される単位面積あたりの静電容量が、ゲート電極から遠ざかるにつれて小さくなっている構成とすることにより、フィールドプレート部による電界緩和作用をドレイン側において緩やかにし、理想的な電界分布とすることができる。このため、高周波特性の低下を最小限に抑えつつ、耐圧特性を向上させることができる。

【0095】また、ゲート電極とドレイン電極との間に電界制御電極を設けることにより、フィールドプレート部による電界緩和効果との相乗効果が得られ、耐圧特性がさらに改善される。

【0096】また、ソース電極とゲート電極との間にサブ電極を設けることにより、素子の高効率化が図られる。

【図面の簡単な説明】

【図1】本発明の電界効果型トランジスタの断面図である。

【図2】本発明の電界効果型トランジスタの製造方法を示す工程断面図である。

【図3】本発明の電界効果型トランジスタの製造方法を

示す工程断面図である。

【図4】本発明の電界効果型トランジスタの断面図である。

【図5】本発明の電界効果型トランジスタの断面図およびフィールドプレート部部分の上面図である。

【図6】本発明の電界効果型トランジスタの断面図である。

【図7】本発明の電界効果型トランジスタの製造方法を示す工程断面図である。

10 【図8】本発明の電界効果型トランジスタの製造方法を示す工程断面図である。

【図9】本発明の電界効果型トランジスタの断面図である。

【図10】本発明の電界効果型トランジスタの断面図である。

【図11】本発明の電界効果型トランジスタの断面図である。

【図12】従来の電界効果型トランジスタの断面図である。

20 【図13】本発明の電界効果型トランジスタの断面図である。

【図14】従来の電界効果型トランジスタにおけるゲート下端の電界集中を説明するための図である。

【図15】本発明の電界効果型トランジスタの製造方法を示す工程断面図である。

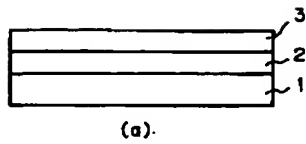
【図16】本発明の電界効果型トランジスタの製造方法を示す工程断面図である。

【符号の説明】

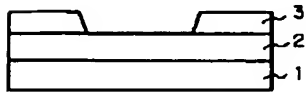
- |    |            |
|----|------------|
| 1  | GaAs基板     |
| 2  | チャネル層      |
| 3  | コンタクト層     |
| 4  | 誘電体膜       |
| 4' | 誘電体膜       |
| 4a | 第一の誘電体膜    |
| 4b | 第二の誘電体膜    |
| 5  | ゲート電極      |
| 6  | ゲート金属膜     |
| 7  | ソース電極      |
| 8  | ドレイン電極     |
| 9  | フィールドプレート部 |
| 10 | フォトレジスト    |
| 11 | 電界制御電極     |
| 12 | サブ電極       |
| 13 | フロート電極     |
| 14 | 絶縁膜        |
| 31 | GaAs基板     |
| 32 | チャネル層      |
| 33 | コンタクト層     |
| 34 | 誘電体        |

50

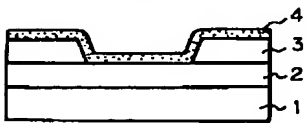
【図1】



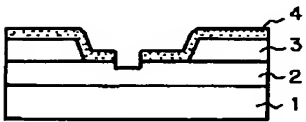
(a)



(b)



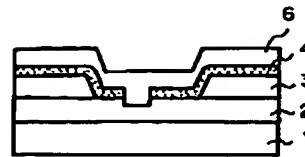
(c)



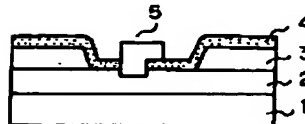
(d)

- 1 GaAs基板
- 2 チャネル層
- 3 コンタクト層
- 4 誘電体膜

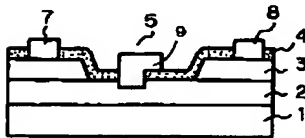
【図2】



(e)



(f)

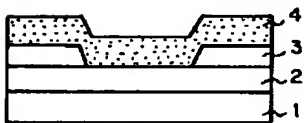


(g)

- 1 GaAs基板
- 2 チャネル層
- 3 コンタクト層
- 4 誘電体膜
- 5 ゲート電極

- 6 ゲート金属膜
- 7 ソース電極
- 8 ドレイン電極
- 9 フィールドプレート部

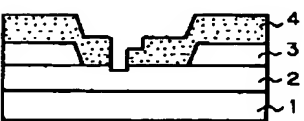
【図4】



(a)



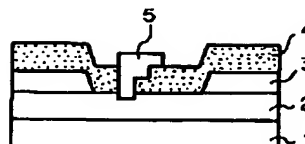
(b)



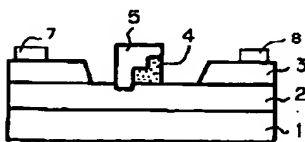
(c)

- 1 GaAs基板
- 2 チャネル層
- 3 コンタクト層
- 4 誘電体膜

【図5】



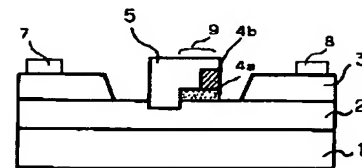
(d)



(e)

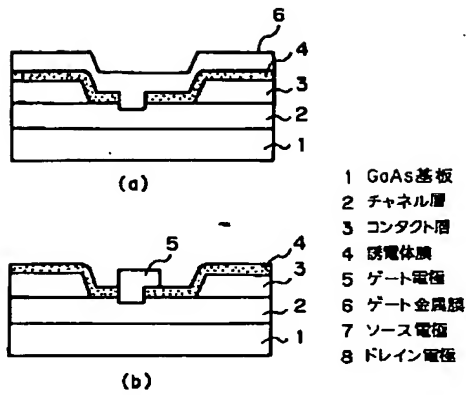
- 1 GaAs基板
- 2 チャネル層
- 3 コンタクト層
- 4 誘電体膜
- 5 ゲート電極
- 7 ソース電極
- 8 ドレイン電極

【図7】

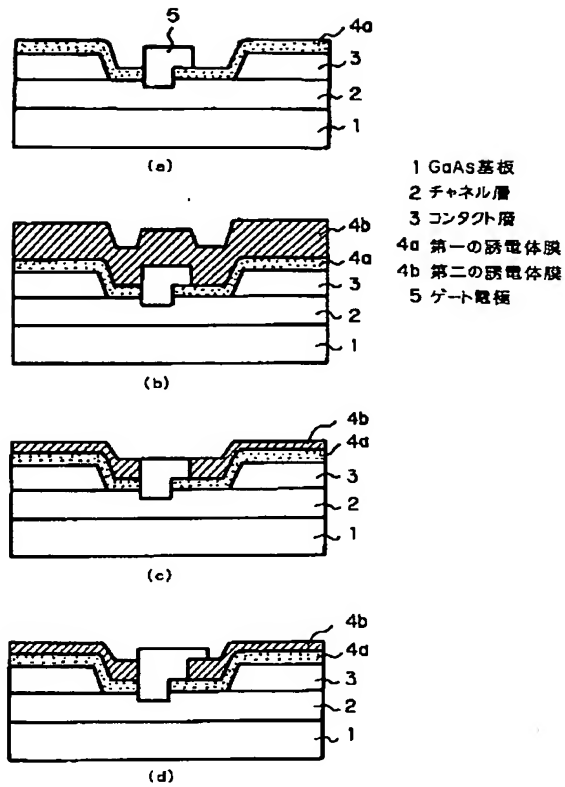


- 1 GaAs基板
- 2 チャネル層
- 3 コンタクト層
- 4a 第一の誘電体膜
- 4b 第二の誘電体膜
- 5 ゲート電極
- 7 ソース電極
- 8 ドレイン電極
- 9 フィールドプレート部

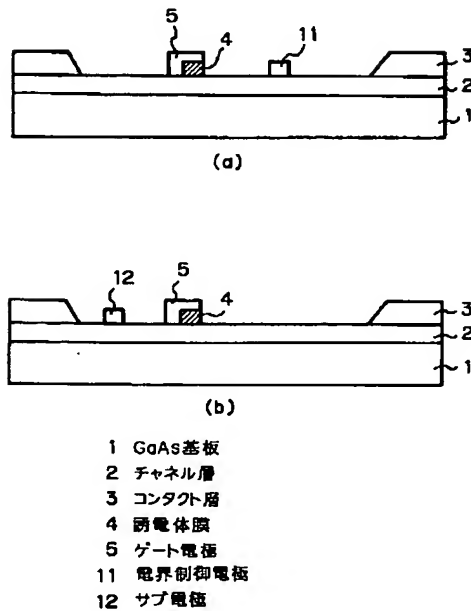
【図3】



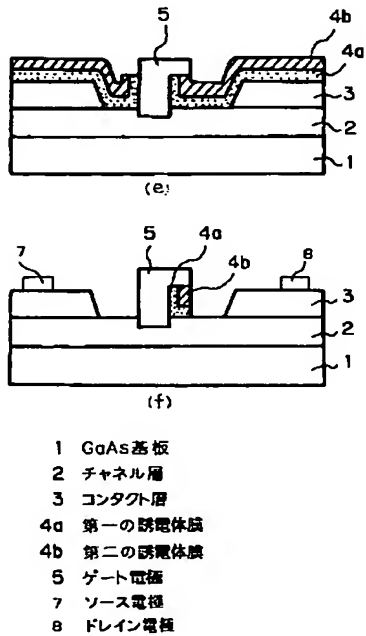
【図6】



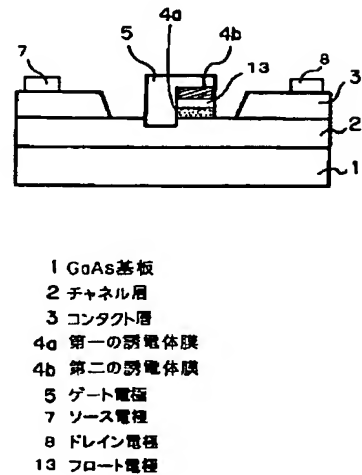
【図11】



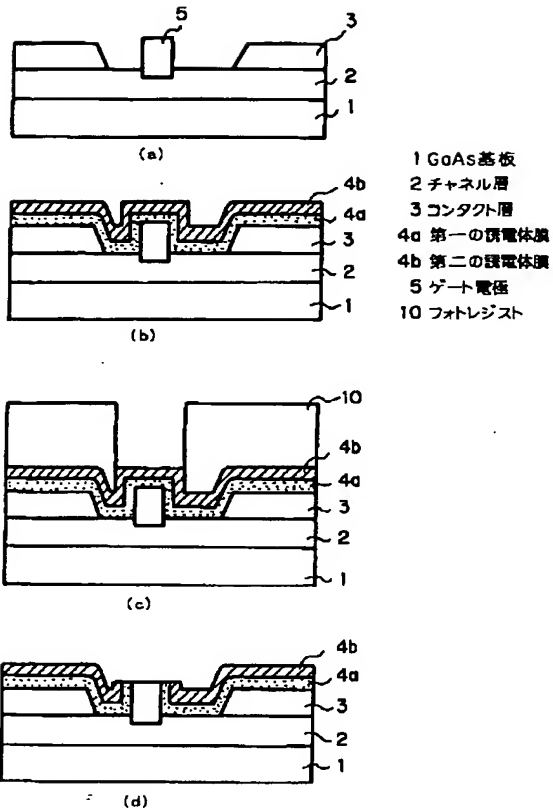
【図9】



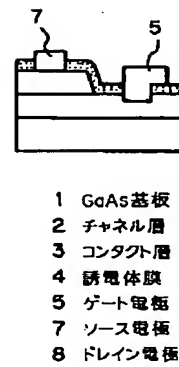
【図13】



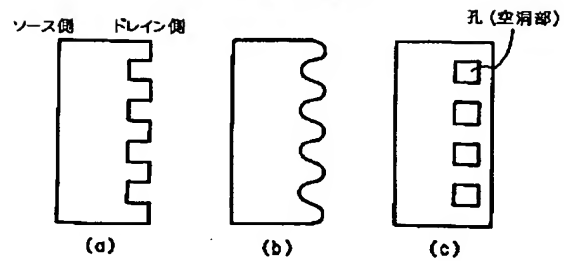
【図8】



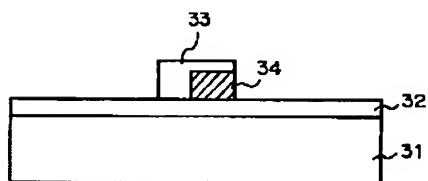
【図10】



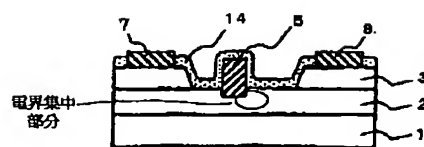
ゲート電極5の平面図



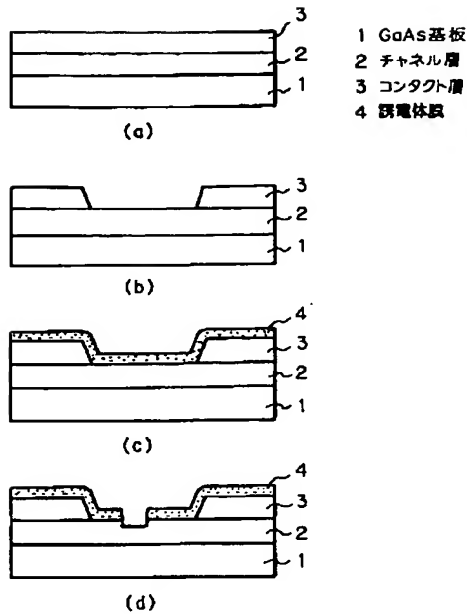
【図12】



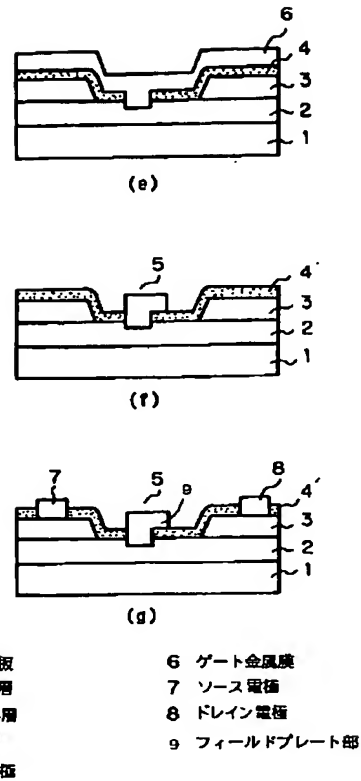
【図14】



【図15】



【図16】



フロントページの続き

(72)発明者 梨本 泰信  
東京都港区芝五丁目7番1号 日本電気株  
式会社内  
(72)発明者 麻埜 和則  
東京都港区芝五丁目7番1号 日本電気株  
式会社内  
(72)発明者 三好 陽介  
東京都港区芝五丁目7番1号 日本電気株  
式会社内

(72)発明者 望月 康則  
東京都港区芝五丁目7番1号 日本電気株  
式会社内  
Fターム(参考) 5F102 FA01 GB01 GC01 GC05 GD01  
GJ05 GL05 GN05 GR04 GS02  
GS04 GS06 GS07 GS09 GT02  
GT03 GT05 GT06 GV05 GV06  
GV07 GV08